模块名称：Synchronization

功能：从AXI\_Stream\_FIFO接收多位bit流，实现bit对齐，并Map成QAM符号，发送给下一级。

可配置选项：PAM阶数（4PAM，8PAM，16PAM）

接口：

1. 功能接口：clk(1,in)，rst\_n(1,in)
2. 前级接口：ad\_data\_in(12, in)
3. 后级接口：signal(12,out), signal\_tvalid(1,out), signal\_tready(1, in)

基本架构图：



接收上级AD/DA数据，将数据进行流式判决，判决为1 -1，如果同步

AXI接口走AXI协议，将上级多位数据给一个位对齐模块，和RAM Buffer完成数据对齐，之后将数据传输给PAM map模块，完成MAP后传输给下一级RAM Buffer，并通过QAM Sener 传输给下一级。RAM是为了提高流水，实现连续发送。

1、判决

模块名称：AXI\_m2s\_interface

功能：实现AXI\_Stream协议，从上级AXI\_Master处接收data，解析keep信号，将有用数据传输给RAM，实现位对齐，并等待传输给QAM Map

可配置选项：接口宽度，RAM深度

接口：

1. 功能接口：clk(1,in)，rst\_n(1,in)
2. 前级接口：s\_axis\_tdata(32, in), s\_axis\_tvalid(in), s\_axis\_tready(out), s\_axis\_tlast(in), s\_axis\_tkeep(4,in), s\_axis\_tstrb(4,in)
3. 后级接口：ram\_data(8, out), valid(1, out). ready(1, in)

2、PAM\_MAP

模块名称：pam\_map

功能：将前级数据Map为PAM信号，并发送下一届Ram

可配置选项：PAM阶数（6,8,16），接口宽度

接口：

1. 功能接口：clk(1,in)，rst\_n(1,in)
2. 前级接口：ram\_data(8, out), valid(1, out). ready(1, in)
3. 后级接口：pam\_data(？, out), valid(1, out). ready(1, in)